

Title of the Prior Art

Japanese Published Patent Application No. Sho.62-119773

Date of Publication: June 1, 1987

Translation of the text in Page 453, from the upper-left column, line 10 to the bottom-left column, line 11

Next, the following shows the operation of the error correction and the error detection in the above-described error correction circuit in accordance with the flowchart in Figure 2.

In step S1, the digital signal is read out from the digital signal recording medium by the readout device 1, and it goes step goes to step S2, and the digital signal read out is recorded in the RAM 3. Thereafter, in step S3, the data in the RAM 3 is corrected by the error correction circuit 41, and in step S4, the corrected data is recorded in the RAM 5. In the next step S5, the error detection circuit 42 judges whether there are any error in the corrected data in RAM 5. If there is no error, in the step S6, the wait signal, which is outputted from the CPU 2 to the readout device 1, is set to "Low" and the readout device 1 reads out a data to be read out subsequently. Further, in step S7, the flag "High" which indicates that the data has been corrected is set and it goes to step S8. On the other hand, in the step S5, when some errors are detected in the data of RAM 5, it goes to step S9, and the wait signal described above is set to "High" and the readout device 1 suspends the readout of data. Thereafter, in step S10, the data in the RAM 5 is re-corrected

by the error correction circuit 41 and, in step S11, the re-corrected data is recorded in the RAM 5 again. In the next step S12, if the the re-corrected data in the RAM 5 even include an error or not is judged by detection circuit 42, and if includes no error, the flag "High" which indicates that the data has been corrected is set in step S13 and it goes to step S8. In the step S12 described above, if there are still some errors in the re-corrected data in the RAM 5, it goes to step S14, and the flag "Low" which shows the correction addition is set, and it goes to step S8. In the step S8, the states of the flag is judged, and if the flag shows "High", it is assumed that the correct data which have been corrected is obtained, and the data in the RAM 5 is outputted via the output unit 6 to a data processing circuit which is not illustrated in Figures but arranged on the succeeding stage. On the contrary, if the flag shows "Low", the data is not outputted to the data processing circuit because the data in error have not been corrected even by the two correction processes.

⑫ 公開特許公報(A)

昭62-119773

⑬ Int.Cl.⁴G 11 B 20/18
G 06 F 11/10

識別記号

1 0 2
3 3 0

庁内整理番号

6733-5D
L-7368-5B

⑭ 公開 昭和62年(1987)6月1日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 誤り訂正方法

⑯ 特 願 昭60-260713

⑰ 出 願 昭60(1985)11月19日

⑱ 発 明 者	夫 馬	正 人	守口市京阪本通2丁目18番地	三洋電機株式会社内
⑲ 発 明 者	杉 本	和 英	守口市京阪本通2丁目18番地	三洋電機株式会社内
⑲ 発 明 者	田 村	豊	守口市京阪本通2丁目18番地	三洋電機株式会社内
⑳ 出 願 人	三洋電機株式会社			守口市京阪本通2丁目18番地
㉑ 代 理 人	弁理士 青山 葆			外2名

明 細 書

1. 発明の名称

誤り訂正方法

2. 特許請求の範囲

(1)クロスインターリーブ方式による誤り訂正回路を採用した記録再生装置において、最初の誤り訂正により得られた訂正後のデータ及び誤り訂正符号を記録するメモリを備え、前記メモリに記憶されたデータに誤りがある場合には、メモリに記憶されたデータ及び訂正符号を用いて誤り訂正を予め設定した回数にわたって繰り返して実行することを特徴とする誤り訂正方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、画像や音楽あるいはデータ等をデジタル信号でもって記録再生する装置において、クロスインターリーブ方式を用いた誤り訂正方法に関する。

〔従来の技術〕

情報をデジタル信号で記録再生する装置におい

ては、再生された情報に誤りがないかをチェックするために、情報記録時において、ある単位の情報毎に誤り訂正符号(パリティ)が付加されて記録されている。このような方式の一つとして、クロスインターリーブ方式がある。これは、ある単位の信号系列毎に誤り訂正用のPパリティが付加されるとともに、これらの信号系列を複数の遅延回路に振り分けて入力し、この遅延回路から得られる別の信号系列に対してもう一つのQパリティが付加されるようになっている。このクロスインターリーブ方式は訂正能力がすぐれた上、符号器や復合器も簡単なのでデジタルオーディオ機器に広く採用されている。

たとえば、コンパクトディスクを再生する場合では、再生データを連続的に必要とするためと、多少の誤りは再生情報に影響を与えないことから通常は一つの訂正符号につき一度の訂正を行なうようにしているが、コンピュータ装置におけるデータ記録再生装置にあっては、データの誤りは致命的となるので、誤り訂正が是非とも必要となる。

〔発明が解決しようとする問題点〕

ところがこの誤り訂正を必要以上に行なうと、時間がかかり過ぎ、データ検索等の高速処理に影響を及ぼすといった問題点があった。

この発明は上述した問題点をなくすためになされたものであり、訂正のために時間をかけることなく、データの訂正能力を高めた誤り訂正方法を提供することを目的とする。

〔発明の構成〕

この発明の誤り訂正方法は、クロスインターリーブ方式による誤り訂正回路を採用した記録再生装置において、最初の誤り訂正により得られた訂正後のデータ及び誤り訂正符号を記録するメモリを備え、前記メモリに記憶されたデータに誤りがある場合には、メモリに記憶されたデータ及び訂正符号を用いて誤り訂正を予め設定した回数にわたって繰り返して実行することを特徴とする。

〔実施例〕

この発明の誤り訂正方法は、誤りを検出すると、一度訂正して、訂正後のデータと訂正符号とをメ

ここでは以下の説明を簡単にするために、P、Qのバリティは個別にして、1誤りに対しては1訂正としている。

次に、表3に示すように、1セクタ分のデータ $D_0 \sim D_{55}$ のうち、 $D_0, D_1, D_2, D_3, D_4, D_5, D_{10}, D_{11}, D_{12}, D_{13}$ のデータが誤っている場合を想定する。まず、一度目の誤り訂正で、例えば、Pバリティでデータ D_1, D_4, D_5 が訂正され、Qバリティで D_3, D_{10} が訂正されたとする(表中"/印で示す)。この場合のように一回目の誤り訂正ですべての誤りが訂正されなかったときは、続けて二回目の誤り訂正が行なわれるようになっていて、これにより、Pバリティでデータ D_0, D_{13} が、そして、Qバリティで D_2, D_{11}, D_{12} が新たに訂正されたとする(表中"x"印で示す)。このように一回だけの誤り訂正で訂正しきれなかった誤りを二回目の誤り訂正により誤り訂正することができ、訂正能力が向上するようになる。

上述したような誤り訂正符号P、Qバリティの実用例としてCD-ROMがある。このCD-R

モリに記憶させ、この記憶したデータにまだ誤りがある場合のみ、これらのデータを再び誤り訂正するようにしている。

そこでこの発明の要旨を以下に示す一例を用いて説明する。

下記に示す表1は、クロスインターリーブ方式に付加される誤り訂正符号(P、Qバリティ)の一例を示している。データ $D_0 \sim D_{55}$ はある単位(1セクタ)でとらえたブロック単位となっていて、 $(D_0, D_{10} \sim D_{50})$ 、 $(D_1, D_{11} \sim D_{51})$ のように各列に対して二つのPバリティ(P_0, P_{10})、(P_1, P_{11})が付加されていて、又、 $(D_0, D_{11}, D_{22} \sim D_{55}, P_0, P_{11}, D_5, D_{16})$ 、 $(D_{10}, D_{21} \sim D_{54}, P_5, P_{16}, D_7, D_{18}, D_{29})$ のように斜め方向の各データに対して二つのQバリティ(Q_0, Q_{10})、(Q_1, Q_{11})が付加される。表2は、前記表1においてQバリティが付加される各データ毎に配列し直したものである。ここで取り上げたP、Qのバリティは、Pバリティが訂正できないとき、フラグを立て、Qバリティで訂正する方法もあるが、

OMとは、CD(コンパクトディスク)の音楽情報が記録されている部分に様々な大容量のデータを記録することのできるROM(リード オンリーメモリ)であり、データとともに誤り訂正符号や誤り検出符号などが記録されていて、誤り訂正能力の面ではコンパクトディスク本来の誤り訂正能力の上にCD-ROMによる訂正能力が付け加えられている。

以下、この発明の誤り訂正方法をCD-ROMの誤り訂正回路に採用した1実施例により説明する。

第1図は、この発明の誤り訂正方法に用いられる誤り訂正回路の1実施例を示している。

1はデジタル信号で記録された例えばコンパクトディスク等の情報記録媒体から信号を読み取る信号読み出し装置であり、2はこの誤り訂正回路における動作を集中制御するための中央処理装置(CPU)である。3はRAM(ランダム アクセスメモリ)であり、読み出し装置1からの信号はCPU2を介してRAM3に記憶される。4は誤り

訂正検出回路であり、この誤り訂正検出回路4内には、誤り訂正符号により誤りを訂正するエラー訂正回路41と誤り検出符号により誤りの存否を判定するエラー検出回路42とが設けられている。5はRAMであり、前記RAM3に記憶されていたデータがエラー訂正回路41にて訂正された後のデータはRAM5に記憶されるようになっている。6は出力部であり、訂正されたデータ等がこの出力部6を介して出力されるようになっている。

次に上述した誤り訂正回路におけるの誤り訂正及び検出の動作を第2図のフローチャートに従って説明する。

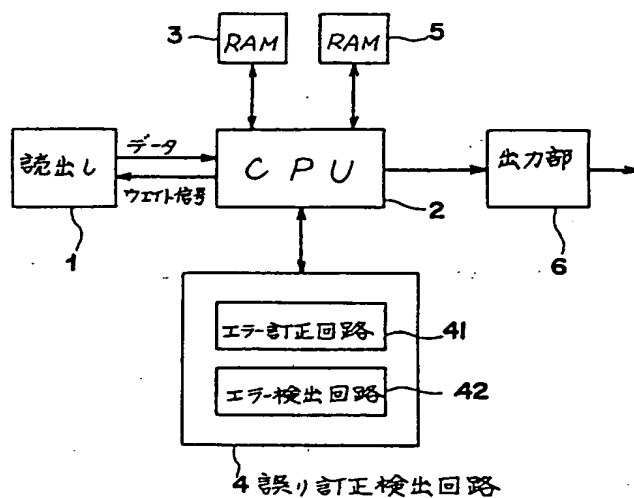
ステップS1にて、デジタル信号記録媒体からデジタル信号が読み出し装置1によって読み出されると、ステップS2に進み、読み出されたデジタル信号はRAM3に記憶される。そしてステップS3にてRAM3内のデータがエラー訂正回路41によって訂正され、訂正されたデータはステップS4にてRAM5に記憶される。次のステップS5において、エラー検出回路42により、RAM

M5内の訂正されたデータにエラーがないかが判定され、データに誤りがないときは、ステップS6でCPU2から読み出し装置1へ送出されるウエイト信号が“Low”にされ、読み出し装置1は次に読み出されるべきデータを読み出す。そしてステップS7にて訂正されたことを示すフラグ“High”が設定され、そしてステップS8に進む。一方、ステップS5にてRAM5内のデータに誤りを検出した場合は、ステップS9に進み、前記ウエイト信号が“High”にされ、読み出し装置1によるデータの読み出しが一時停止される。そしてステップS10にて、再びRAM5内のデータがエラー訂正回路41によって訂正され、訂正されたデータはステップS11にてRAM5に改めて記憶される。次のステップS12において、エラー検出回路42により、RAM5内の再度訂正されたデータにエラーがないかが判定され、データに誤りがないときは、ステップS13にて訂正されたことを示すフラグ“High”が設定され、ステップS8に進む。前記ステップS12にてRAM5

内の再度訂正されたデータにまだ誤りある場合にはステップS14に進み、訂正付加を示すフラグ“Low”が設定され、ステップS8に進む。ステップS8において、前記フラグの状態が判定され、“High”であれば、訂正された正しいデータが得られたものとして、RAM5内のデータが出力部6を介して図示しない後段のデータ処理回路に送出され、一方、フラグの状態が“Low”であれば、二度の訂正処理においても誤りのデータが訂正されなかったもので、データ処理回路には転送されないようになっている。

尚、上述した誤り訂正回路では、説明を簡単にするために誤り訂正の回数は2回を限度としているが、3度以上であっても同様な処理によって可能であり、誤り訂正回数が増えるほど誤り訂正能力は向上する。

第 1 図



第 2 図

